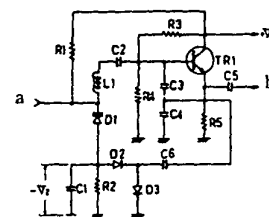


(54) VOLTAGE-CONTROLLED OSCILLATION CIRCUIT

(11) 61-32603 (A) (43) 15.2.1986 (19) JP
 (21) Appl. No. 59-153868 (22) 24.7.1984
 (71) FUJITSU LTD (72) AKIO NAKANISHI
 (51) Int. Cl. H03B5/08, H03B5/02

PURPOSE: To secure a necessary control voltage range by providing a means which rectifies part of the output of the voltage-controlled oscillation circuit and generates an output voltage, and supplying the output voltage or voltage obtained by adding a source voltage to said output voltage to a control element as a bias voltage.

CONSTITUTION: Part of the oscillation output is rectified through diodes D2 and D3 and smoothed by a capacitor C1 to develop a voltage V_2 which has the opposite polarity of the source voltage across a load resistance R2. A varactor diode D1 is applied with a voltage equal to $+V_1$ at its cathode through a bias resistance R1 and also applied with a voltage $-V_2$ at its anode. A bias voltage to the varactor diode is therefore $V_1 + V_2$ and a control input is given a voltage range from $+V_1$ to $-V_2$. Therefore, when the source voltage $+V_1$ is supplied from, for example, a single power source and extremely low, a sufficient bias voltage is applied to the varactor diode and the circuit is used in an excellent linearity state.



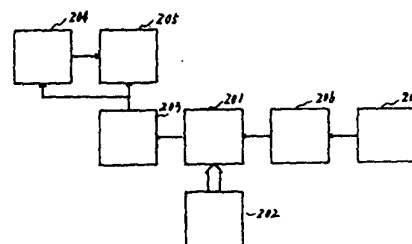
a: control input. b: oscillation output

(54) TEMPERATURE COMPENSATION TYPE ELECTRONIC TIMEPIECE

(11) 61-32604 (A) (43) 15.2.1986 (19) JP
 (21) Appl. No. 59-154794 (22) 24.7.1984
 (71) SEIKO EPSON CORP (72) YOSHIYUKI TERAJIMA
 (51) Int. Cl. H03B5/32

PURPOSE: To perform stable, wide-range temperature compensation by composing the electronic timepiece of a storage circuit which supplies a corrected value to a temperature information correcting circuit, a logical circuit which generates a primary and a secondary coefficient, etc., for the output data of the temperature information correcting circuit and temperature, and an oscillation circuit and a frequency dividing circuit which performs logical speeding-up and slowing-down operation.

CONSTITUTION: The analog output of a temperature detecting circuit 207 is converted into digital information by an A-D converting circuit. An error of the temperature detecting circuit and an error of the A-D converting circuit are added to said information, so it is corrected into digital data as to each integrated circuit chip. This corrected value is written in the storage circuit 202 composed of an EPROM temporarily and the corrected data is stored in a primary and secondary correcting circuit 203 and converted on axial symmetry basis about the peak temperature of crystal, thereby making primary and secondary corrections. The primary correction substitutes the tertiary correction. The high-order 3~4 bits of the obtained binary data are led to the frequency dividing circuit 205 as they are to perform speeding-up and slowing-down operation.



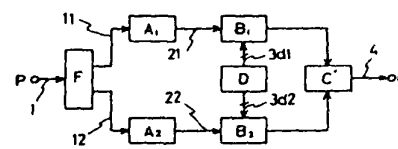
201: temperature information correcting circuit. 204: oscillation circuit

(54) AMPLITUDE MODULATOR

(11) 61-32605 (A) (43) 15.2.1986 (19) JP
 (21) Appl. No. 59-154791 (22) 24.7.1984
 (71) SEIKO EPSON CORP (72) ATSUSHI IIDA
 (51) Int. Cl. H03C1/00

PURPOSE: To obtain the amplitude modulator which suits to high integration, has a wide applicable range, and increases in precision without any adjustment by composing a means which generates an amplitude-modulated wave of a digital-analog converter which uses the voltage amplitude value of the modulated signal as an analog reference voltage and input the quantized voltage amplitude value of a carrier as a digital code.

CONSTITUTION: An input signal 1 from a modulated signal input terminal P is decomposed by a vector generator F into an in-phase modulated signal 11 and an orthogonal-phase modulated signal 12, which are passed through in-phase and orthogonal-phase waveform shaping filters A₁ and A₂ to obtain band-limited modulated signals 21 and 22. Further, a dedicated storage circuit stored with the quantized value of the carrier supplies the in-phase amplitude voltage of the carrier as a digital code 3d₁ to a digital-analog converter B₁ and the orthogonal-phase amplitude voltage of the carrier as a digital code 3d₂ to a digital-analog converter B₂, and they are multiplied by each other and waveform-shaped by a band-pass filter C' having an adding function, thereby obtaining a phase modulated wave 4'.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-32603

⑬ Int. Cl.⁴

H 03 B 5/08
5/02

識別記号

庁内整理番号

6964-5J
6964-5J

⑭ 公開 昭和61年(1986)2月15日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 電圧制御発振回路

⑯ 特 願 昭59-153868

⑰ 出 願 昭59(1984)7月24日

⑱ 発 明 者 中 西 草 生 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 玉 島 久 五 郎 外 1 名

明 細 書

1. 発明の名称 電圧制御発振回路

2. 特許請求の範囲

制御入力電圧に応じてその値を変化する制御素子と、該制御素子によつて発振周波数を制御される電圧制御発振回路において、該電圧制御発振回路の出力の一部を整流して出力電圧を発生する手段を具え、該出力電圧またはこれと電源電圧とを加算した電圧を前記制御素子にバイアス電圧として供給することを特徴とする電圧制御発振回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は電圧入力によつて周波数を制御することができる電圧制御発振回路(VCO)に関し、特に制御電圧範囲が拡大された電圧制御発振回路に関するものである。

(従来の技術)

電圧制御発振回路は電圧入力によつて制御素子例えば可変容量ダイオードの容量を変化させ、こ

れによつて発振周波数を制御するものであつて、既に広く用いられている。

一般に電圧制御発振回路においては、制御素子である可変容量ダイオードに固定的なバイアス電圧を与えて発振周波数を定めるか、またはこのバイアス電圧にさらに交流信号を重畳して加えることによつて発振周波数を変調して出力を発生するようにしている。

従来、このような電圧制御発振回路のバイアス電源としては、電源電圧の一部を分圧して用いることが多かつた。しかしながら可変容量ダイオードは、その制御電圧対発振周波数の特性が一般にある曲線をなし、良好な直線性を確保できる範囲が限られていて、例えば数V程度の比較的大きなバイアス電圧値を必要とする場合が多い。従つて電源電圧が低くバイアス電圧として低い値しか与えることができない場合には、直線性の劣化を免れないだけでなく、バイアス電圧値を超えて制御入力を加えることができないため、所望の制御範囲を確保することができないという問題があつた。

そこで例えば単電源を用いた携帯用の機器等において、電源電圧として比較的低い値しか利用できないような場合には、電圧制御発振回路のバイアス電源として別にDC-DCコンバータを設ける等の方法が用いられているが、これによつて当然機器の構成が複雑化し、価格的にも不利になることを免れない。

(発明が解決しようとする問題点)

本発明はこのような従来技術の問題点を解決しようとするものであって、制御電圧によつて値を変化する制御素子を用いた電圧制御発振回路において、電源電圧が低い場合でも別にDC-DCコンバータ等を用いることなく、制御素子に十分なバイアス電圧を与えて、所要の制御電圧範囲を確保することができるようにしようとするものである。

(問題点を解決するための手段)

本発明の電圧制御発振回路においては、発振出力の一部を整流して電圧を発生してこれを制御素子にバイアス電源として与え、またはこの電圧を

電源電圧に加算して制御素子のバイアス電圧として使用する。

(作用)

本発明の電圧制御発振回路では、発振出力の一部を整流して得られた電圧、またはこの電圧を電源電圧に加算して得られた電圧を制御素子のバイアス電圧として使用するの、電圧制御発振回路における制御電圧範囲が拡大される。

(実施例)

第1図は本発明の電圧制御発振回路の一実施例の構成を示している。同図において、TR1はトランジスタ、D1は可変容量ダイオード、D2、D3はダイオード、L1はコイル、R1~R5は抵抗、C1~C6はコンデンサである。

第1図において、トランジスタTR1のコレクタは交流的に接地されており、そのベースと接地間の交流電圧をコンデンサC3、C4によつて分割してエミッタに与える帰還することによつて、コイルL1のインダクタンスと可変容量ダイオードD1の容量によつてほぼ定まる周波数の発振出力

をエミッタに生じる。この際トランジスタTR1には、電源として $+V_1$ が加えられている。

発振出力の一部はダイオードD2、D3を経て整流されて、負荷抵抗R2の両端に電源電圧と逆極性の電圧 $-V_2$ を発生する。可変容量ダイオードD1は、その一方の電極(カソード)にバイアス抵抗R1を経て $+V_1$ と等しい電圧が加えられているとともに、他方の電極(アノード)に電圧 $-V_2$ が加えられている。

第1図の回路では、可変容量ダイオードに対するバイアス電圧は $(V_1 + V_2)$ となり、制御入力として $+V_1$ から $-V_2$ までの電圧範囲を与えることができ、従つて電源電圧 $+V_1$ が例えば単電源であつて非常に低い場合にも、可変容量ダイオードに対して十分なバイアス電圧を与えて直線性の良好な状態で使用することができる。

すなわち第1図において、制御入力に接続される図示されない前段の制御回路にも単電源電圧 $+V_1$ が供給されるものとすれば、その制御回路から出力し得る最大電圧は $+V_1$ から接地レベルの

範囲である。そこで制御電圧が $+V_1$ に近い場合は十分なバイアス電圧が可変容量ダイオードD1に加えられており、直線性は良好に保たれる。また制御電圧が接地レベルに近くなつてきても、 $-V_2$ なるバイアス電圧が加えられているので、依然として直線性の良い領域にあるようにすることができる。このように第1図の回路によれば、直線性の良い電圧制御発振回路を構成することができる。

第2図は本発明の電圧制御発振回路の他の実施例の構成を示している。同図において第1図における同じ部分は同じ符号で示されており、R6は抵抗である。

第2図の回路においては、コンデンサC1、抵抗R2、ダイオードD3の一端は接地される代りに電源電圧 $+V_1$ に接続されている。またダイオードD3、D4は第1図の回路の場合とは逆向きに接続されており、出力を整流して $+V_2$ の電圧を負荷抵抗R2の両端に発生する。従つて可変容量ダイオードD1には $(V_1 + V_2)$ のバイアス

電圧が加えられることになる。第2図の回路においては、制御入力として $(V_1 + V_2)$ から接地レベルまでの電圧範囲を与えることができ、この場合も電源電圧 $+V_1$ が非常に低いときでも、可変容量ダイオードに対して十分なバイアス電圧を与えて直線性の良好な状態で使用することができる。

以上の実施例においては、制御素子として可変容量ダイオードを使用する場合について説明したが、本発明はこの場合に限るものでなく、制御入力電圧に応じてその値を変化する制御素子を用いた各種の電圧制御発振回路に対して適用し得るものであることは言うまでもない。

また制御素子のバイアス電圧として使用し得るのは発振出力の整流電圧に電源電圧を加算した電圧に限らず、出力の整流電圧のみであつてもよいことは当然である。

(発明の効果)

以上説明したように、本発明の電圧制御発振回路によれば、制御素子に与えるバイアス電圧を電

源電圧を超えて大きくすることができ、従つて電圧制御発振回路における制御電圧範囲を拡大し、ひいては広範囲に亘つて直線性を良好にすることができる。

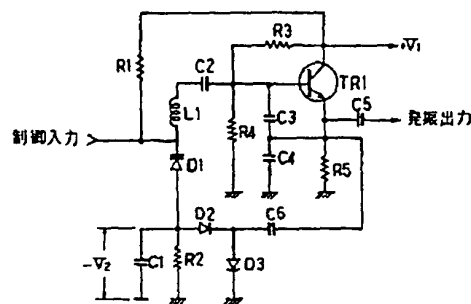
4. 図面の簡単な説明

第1図および第2図はそれぞれ本発明の電圧制御発振回路の一実施例の構成を示す図である。

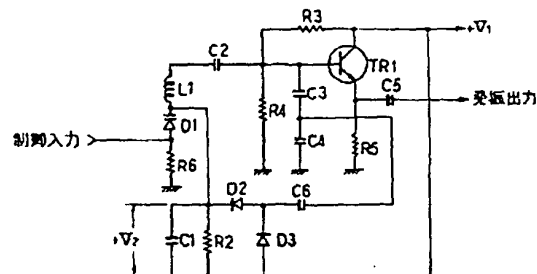
TR1…トランジスタ、D1…可変容量ダイオード、D2、D3…ダイオード、L1…コイル、R1～R6…抵抗、C1～C6…コンデンサ

特許出願人 富士通株式会社
代理人 弁理士 玉森久五郎 (外1名)

第1図



第2図



TR1 …… トランジスタ D1 …… 可変容量ダイオード
D2, D3 …… ダイオード L1 …… コイル
R1～R6 …… 抵抗 C1～C6 …… コンデンサ